



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2001007220 A

(43) Date of publication of application: 12.01.01

(51) Int. Cl.

H01L 21/8234

H01L 27/06

H01L 21/265

H01L 21/28

H01L 21/31

H01L 27/04

H01L 21/822

H01L 27/088

H01L 29/78

H01L 21/336

(21) Application number: 2000108914

(22) Date of filing: 11.04.00

(30) Priority: 21.04.99 JP 11113541

(71) Applicant: MATSUSHITA ELECTRONICS
INDUSTRY CORP(72) Inventor: SEGAWA MIZUKI
MATSUMOTO MICHIOCHI
YASUMI MASAHIRO

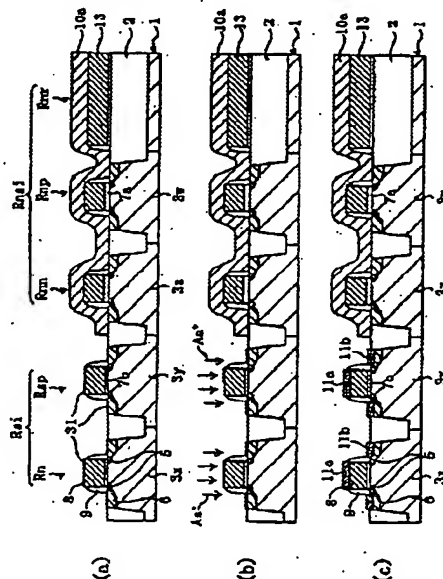
(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

COPYRIGHT: (C)2001,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a method of manufacturing a semiconductor device having a gate electrode, a resistor film and the like exhibiting no variations in resistance.

SOLUTION: A first RTA process is performed after phosphorus ions are implanted into part of a polysilicon film. After boron ions are implanted into another part of the polysilicon film, the resulting polysilicon film is patterned to form a gate electrode 8 and a resistor film 13. After a TEOS film is deposited, the TEOS film is patterned to form a silicidizing mask 10a having an opening for a silicidizing region R_{si}. Then, annealing is performed to activate boron in an oxygen-containing atmosphere, thereby forming an oxide film 31 on the gate electrode 8 in the region R_{si} and a highly doped source/drain region 6. The film 31 suppresses the outward diffusion of impurities, and hence suppresses impurity ions breaking through the electrode 8 when ion implantation for promoting silicidization is subsequently performed.



(51) Int Cl. ⁷	識別記号	F I	テック(参考)
H 0 1 L 21/8234		H 0 1 L 27/06	1 0 2 A
27/06		21/28	3 0 1 D
21/265		21/31	C
21/28	3 0 1	21/265	P
21/31		27/04	P
審査請求 有 請求項の数 11 O L (全 14 頁) 最終頁に続く			

(21) 出願番号 特願2000-108914 (P2000-108914)

(22) 出願日 平成12年4月11日 (2000.4.11)

(31) 優先権主張番号 特願平11-113541

(32) 優先日 平成11年4月21日 (1999.4.21)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005843

松下電子工業株式会社
大阪府高槻市幸町1番1号

(72) 発明者 瀬川 瑞樹

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(72) 発明者 松元 道一

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(72) 発明者 安見 正博

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(74) 代理人 100077931

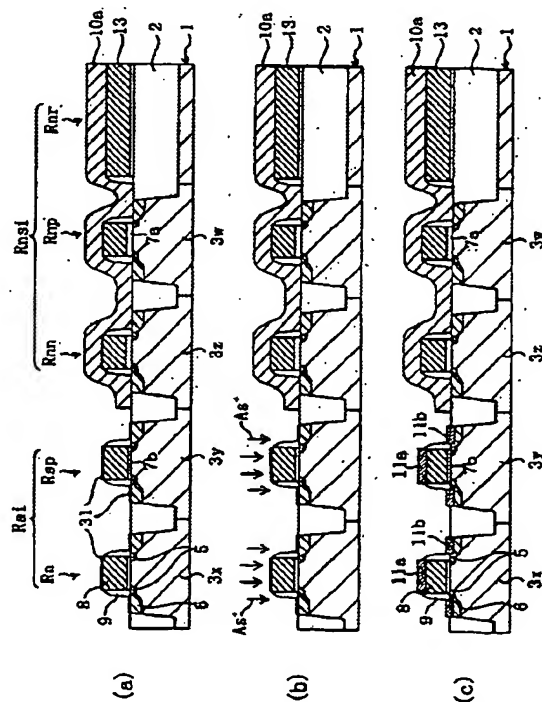
弁理士 前田 弘 (外1名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 抵抗のばらつきのないゲート電極や抵抗体膜などを有する半導体装置の製造方法を提供する。

【解決手段】 ポリシリコン膜の一部にリンのイオン注入を行なってから第1回目のRTAを行なう。ポリシリコン膜の他部にボロンのイオン注入を行なってから、ポリシリコン膜をパターニングして、ゲート電極8、抵抗体膜13を形成する。TEOS膜を堆積した後、これをパターニングしてシリサイド化領域R_{Si}を開口したシリサイド化用マスク10aを形成する。その後、酸素を含む雰囲気下においてボロンを活性するためのアニールを行い、シリサイド化領域R_{Si}のゲート電極8及び高濃度ソース・ドレイン領域6の上に酸化膜31を形成する。酸化膜31によって不純物の外方拡散を抑制し、その後シリサイド化促進用のイオン注入を行なう際に不純物イオンがゲート電極8を突き抜けるのを抑制する。



【特許請求の範囲】

【請求項1】 ゲート電極及び高濃度ソース・ドレイン領域の上部がシリサイド化されているMOSトランジスタが配置されるシリサイド化領域と、上部がシリサイド化されていないポリシリコン部材を有する素子が配置される非シリサイド化領域とを有する半導体装置の製造方法であって、

半導体基板の上にゲート絶縁膜及びポリシリコン膜を形成する工程(a)と、n型不純物注入領域を開口したマスクを用いて、上記ポリシリコン膜の一部に抵抗値低減用のn型不純物イオンを注入する工程(b)と、

上記n型不純物を活性化するための第1回目の熱処理を行なう工程(c)と、上記工程(c)の後に、p型不純物注入領域を開口したマスクを用いて、上記ポリシリコン膜の他部に抵抗値低減用のp型不純物イオンを注入する工程(d)と、

上記工程(d)の後に、上記ポリシリコン膜をパターニングして、シリサイド化領域には上記MOSトランジスタのゲート電極を、上記非シリサイド化領域には上記ポリシリコン部材を形成する工程(e)と、

上記MOSトランジスタの高濃度ソース・ドレイン領域形成のための不純物イオンの注入を行なう工程(f)と、

上記工程(f)の後に、基板上に絶縁膜を形成する工程(g)と、

上記絶縁膜の上に選択エッチ用マスクを形成する工程(h)と、

上記選択エッチ用マスクを用いて上記絶縁膜をパターニングすることにより、上記非シリサイド化領域を覆い上記シリサイド化領域の上を開口したシリサイド用マスクを形成する工程(i)と、

上記工程(i)の後に、上記p型不純物を活性化するための第2回目の熱処理を行なう工程(j)と、

上記工程(j)の後に、上記シリサイド化領域のMOSトランジスタのゲート電極及び高濃度ソース・ドレイン領域にシリサイド促進用の不純物イオンを注入する工程(k)と、

上記工程(k)の後に、上記シリサイド化領域のMOSトランジスタのゲート電極及び高濃度ソース・ドレイン領域の上部をシリサイド化する工程(l)とを備えていることを特徴とする半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法において、

上記第1回目の熱処理は酸素を含む雰囲気下において行なわれることを特徴とする半導体装置の製造方法。

【請求項3】 請求項2記載の半導体装置の製造方法において、

上記第1回目の熱処理における酸素を含む雰囲気における酸素の分圧は、5～30%であることを特徴とする半導体装置の製造方法。

【請求項4】 請求項1記載の半導体装置の製造方法において、

上記第2回目の熱処理は酸素を含む雰囲気下において行なわれることを特徴とする半導体装置の製造方法。

【請求項5】 請求項4記載の半導体装置の製造方法において、

上記第2回目の熱処理における酸素を含む雰囲気における酸素の分圧は、5～30%であることを特徴とする半導体装置の製造方法。

【請求項6】 請求項1記載の半導体装置の製造方法において、

上記工程(h)においては、上記選択エッチ用マスクをレジスト膜により形成しておき、

上記工程(i)の後に上記工程(j)の前に、酸素プラズマによるアッシングにより上記レジスト膜を除去する工程をさらに備えていることを特徴とする半導体装置の製造方法。

【請求項7】 請求項1記載の半導体装置の製造方法において、

上記工程(h)においては、上記選択エッチ用マスクをレジスト膜により形成しておき、

上記工程(i)の後に上記工程(j)の前に、硫酸及び過酸化水素の水溶液によって上記レジスト膜を除去した後、上記シリサイド化領域のゲート電極及び高濃度ソース・ドレイン領域の表面部をプラズマ酸化する工程をさらに備えていることを特徴とする半導体装置の製造方法。

【請求項8】 請求項1～7のうちのいずれか1つに記載の半導体装置の製造方法において、

上記工程(b)では、非シリサイド化領域の素子のポリシリコン部材として、抵抗素子の抵抗膜及び高耐圧トランジスタのゲート電極のうち少なくともいずれか一方を形成することを特徴とする半導体装置の製造方法。

【請求項9】 半導体基板のポリシリコン層に抵抗値低減用の不純物のイオン注入を行なう工程(a)と、酸素を含む雰囲気中で基板の熱処理を行なう工程(b)とを備えていることを特徴とする半導体装置の製造方法。

【請求項10】 請求項9記載の半導体装置の製造方法において、

上記ポリシリコン層は、MOSトランジスタのゲート電極であり、

上記工程(b)の後に、上記ポリシリコン層内にシリサイド化促進用の不純物を導入する工程(c)と、

上記工程(c)の後に、ポリシリコン層の上部をシリサイド化する工程(d)とをさらに備えていることを特徴とする半導体装置の製造方法。

【請求項11】 請求項9記載の半導体装置の製造方法において、

上記ポリシリコン層は、抵抗素子の抵抗膜であることを

特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ポリシリコン膜をパターンニングして形成されるポリシリコン部材を有する半導体装置の製造方法に関するものである。

【0002】

【従来の技術】従来より、MOSトランジスタのゲート電極や容量素子の電極のごとく、シリサイド化が必要なポリシリコン部材を有する素子と、抵抗素子の抵抗体膜や絶縁破壊保護機能のある高耐圧トランジスタのゲート電極のごとく、シリサイド化が不要なポリシリコン部材を有する半導体装置がある。

【0003】ここで、従来の半導体装置として、シリサイド化が必要なゲート電極を有するMOSトランジスタと、シリサイド化が不要な高耐圧MOSトランジスタとを有する半導体装置の従来の製造工程について説明する。

【0004】まず、基板上にノンドーパポリシリコン膜を形成し、ノンドーパポリシリコン膜の各部に、n型不純物であるリンとp型不純物であるボロンとを、それぞれ注入領域を分けたイオン注入によりドーピングする。このドーピングは、各トランジスタのゲート電極を形成してからでもよいし、ゲート電極を形成する前でもよい。また、特に高濃度の不純物をドーピングして抵抗を小さくしたい場合には、ポリシリコン膜のパターンニング前とパターンニング後との双方で行なってもよい。

【0005】次に、注入した不純物の活性化のためのアニール(RTA)を行なう。そして、基板の全面にプラズマ処理により、選択エッチングマスク形成用のTEOS膜を堆積し、これをウェットエッチング等によってパターンニングして、非シリサイド化領域を覆いシリサイド化領域を開口した選択エッチング用マスクを形成する。

【0006】次に、選択エッチング用マスクの上方からシリサイド化領域のポリシリコン部材であるゲート電極内に、シリサイド化促進用(プリアモルファス化用)の不純物のイオン注入を行なう。なお、シリサイドプロセスの場合には、ソース・ドレイン領域内にもシリサイド化促進用の不純物のイオン注入が行なわれる。

【0007】その後、基板上に高融点金属膜を堆積し、高融点金属膜を構成する金属と、ゲート電極を構成するポリシリコン(シリサイドプロセスでは、ゲート電極を構成するポリシリコン及びソース・ドレイン領域を構成するシリコン)とを反応させて、シリサイド膜を形成する。このとき、非シリサイド化領域においては、高融点金属膜とゲート電極やソース・ドレイン領域との間には選択エッチング用マスクが介在しているので、シリサイド膜は形成されない。さらに、高融点金属膜のうち未反応部分をエッチングにより除去した後、シリサイド膜の相転移のための熱処理を行なう。

【0008】以上の工程により、上部がシリサイド化されたポリシリコン電極を有するMOSトランジスタと、シリサイド化されていないゲート電極を有する高耐圧トランジスタとを共通の基板上に設けた半導体装置が形成される。

【0009】なお、抵抗素子のポリシリコン抵抗体膜は非シリサイド化領域で素子分離用絶縁膜の上に形成されることが多い。その場合には、上述の構成において、選択エッチング用マスクがポリシリコン抵抗体膜の上を覆っていることになる。

【0010】

【発明が解決しようとする課題】しかしながら、上記従来の製造工程によって形成された半導体装置には、以下のような不具合があった。

【0011】第1に、ポリシリコン膜の抵抗値、例えばMOSトランジスタにおいてはゲート電極のゲート抵抗、抵抗素子においては抵抗体の抵抗値がばらつくことがあるという不具合があった。これは、ゲート電極にドーピングされた不純物が、活性化のための熱処理の際に雰囲気中に拡散(アウトディフュージョン)してしまうからである。その結果、不純物がドーピングされたポリシリコン膜中の不純物濃度が低減するので、抵抗値が設定値よりも大きくなるのである。

【0012】第2に、特にシリサイド化領域に形成されるMOSトランジスタにおいては、シリサイド化促進用に注入された不純物がゲート電極を突き抜けて基板内に達することにより、MOSトランジスタのしきい値電圧がばらつくという不具合があった。

【0013】第3に、ポリシリコン部材内の不純物が活性化アニールの際に抜けた後に空孔が形成されることにより、抵抗値がばらつくという問題があった。さらに、このポリシリコン部材の上部をシリサイド化する場合に、シリサイド膜中にも空孔が生じ、シリサイド膜の抵抗値を十分低減することができない。

【0014】本発明の第1の目的は、シリサイド化領域及び非シリサイド化領域にそれぞれポリシリコン部材を配置してなる半導体装置において、ポリシリコン部材の抵抗値のばらつきやMOSトランジスタのしきい値電圧のばらつきの小さい半導体装置の製造方法を提供することにある。

【0015】本発明の第2の目的は、ポリシリコン部材を有する半導体装置において、不純物のアウトディフュージョンに起因するポリシリコン部材における空孔の発生を抑制する手段を講ずることにより、シリサイド膜の抵抗値の増大を抑制することにある。

【0016】

【課題を達成するための手段】本発明の第1の半導体装置の製造方法は、ゲート電極及び高濃度ソース・ドレイン領域の上部がシリサイド化されているMOSトランジスタが配置されるシリサイド化領域と、上部がシリサイ

ド化されていないポリシリコン部材を有する素子が配置される非シリサイド化領域とを有する半導体装置の製造方法であって、半導体基板の上にゲート絶縁膜及びポリシリコン膜を形成する工程(a)と、n型不純物注入領域を開孔したマスクを用いて、上記ポリシリコン膜の一部に抵抗値低減用のn型不純物イオンを注入する工程

(b)と、上記n型不純物を活性化するための第1回目の熱処理を行なう工程(c)と、上記工程(c)の後に、p型不純物注入領域を開孔したマスクを用いて、上記ポリシリコン膜の他部に抵抗値低減用のp型不純物イオンを注入する工程(d)と、上記工程(d)の後に、上記ポリシリコン膜をパターニングして、シリサイド化領域には上記MOSトランジスタのゲート電極を、上記非シリサイド化領域には上記ポリシリコン部材を形成する工程(e)と、上記MOSトランジスタの高濃度ソース・ドレイン領域形成のための不純物イオンの注入を行なう工程(f)と、上記工程(f)の後に、基板上に絶縁膜を形成する工程(g)と、上記絶縁膜の上に選択エッチ用マスクを形成する工程(h)と、上記選択エッチ用マスクを用いて上記絶縁膜をパターニングすることにより、上記非シリサイド化領域を覆い上記シリサイド化領域の上を開孔したシリサイド用マスクを形成する工程(i)と、上記工程(i)の後に、上記p型不純物を活性化するための第2回目の熱処理を行なう工程(j)と、上記工程(j)の後に、上記シリサイド化領域のMOSトランジスタのゲート電極及び高濃度ソース・ドレイン領域にシリサイド化促進用の不純物イオンを注入する工程(k)と、上記工程(k)の後に、上記シリサイド化領域のMOSトランジスタのゲート電極及び高濃度ソース・ドレイン領域の上部をシリサイド化する工程(l)とを備えている。

【0017】この方法により、第1回目の熱処理によってn型不純物の高濃度領域を解消し、かつ、第2回目の熱処理の際には、非シリサイド化領域におけるポリシリコン部材にドーパされた不純物のアウトディフュージョンを防止することができる。したがって、非シリサイド化領域に配置されるポリシリコン部材(例えば抵抗素子の抵抗膜)の抵抗値がばらつくのを確実に防止することができる。しかも、工程数は増えないので、製造コストの増大を回避することができる。

【0018】上記第1の半導体装置の製造方法において、上記第1回目の熱処理を酸素を含む雰囲気下において行なうことにより、ポリシリコン膜のうちn型不純物が注入された領域の上に酸化膜が形成されるので、熱処理中におけるn型不純物のアウトディフュージョンが抑制される。すなわち、n型不純物のアウトディフュージョンによるポリシリコン膜の抵抗値のばらつきや、n型不純物のアウトディフュージョンの結果残された空孔に起因するポリシリコン膜の抵抗値のばらつきを抑制することができる。

【0019】上記第1回目の熱処理における酸素を含む雰囲気中における酸素の分圧は、5～30%であることが好ましい。

【0020】上記第1の半導体装置の製造方法において、上記第2回目の熱処理を酸素を含む雰囲気下において行なうことにより、シリサイド化領域において露出しているゲート電極及び高濃度ソース・ドレイン領域の上に酸化膜が形成されるので、これらの領域におけるn型不純物のアウトディフュージョンが抑制される。すなわち、これらの領域の抵抗値のばらつきを抑制することができる。また、酸化膜の存在により、後の工程(k)におけるシリサイド化促進用の不純物イオンがシリサイド化領域のゲート電極を突き抜けて半導体基板に達することに起因するMOSトランジスタのしきい値電圧のばらつきを抑制することができる。

【0021】上記第2回目の熱処理における酸素を含む雰囲気中における酸素の分圧も、5～30%であることが好ましい。

【0022】上記第1の半導体装置の製造方法において、上記工程(h)においては、上記選択エッチ用マスクをレジスト膜により形成しておき、上記工程(i)の後で上記工程(j)の前に、酸素プラズマによるアッシングにより上記レジスト膜を除去する工程をさらに備えることにより、レジスト膜の除去を兼ねてゲート電極及び高濃度ソース・ドレイン領域の上に酸化膜を形成することができるしたがって、上述のようなゲート電極及び高濃度ソース・ドレイン領域の抵抗値のばらつきを抑制し、シリサイド化領域におけるMOSトランジスタのしきい値電圧のばらつきを抑制することができる。

【0023】上記第1の半導体装置の製造方法において、上記工程(h)においては、上記選択エッチ用マスクをレジスト膜により形成しておき、上記工程(i)の後で上記工程(j)の前に、硫酸及び過酸化水素の水溶液によって上記レジスト膜を除去した後、上記シリサイド化領域のゲート電極及び高濃度ソース・ドレイン領域の表面部をプラズマ酸化する工程をさらに備えることによっても、ゲート電極及び高濃度ソース・ドレイン領域の上に酸化膜を形成することができるしたがって、上述のようなゲート電極及び高濃度ソース・ドレイン領域の抵抗値のばらつきを抑制し、シリサイド化領域におけるMOSトランジスタのしきい値電圧のばらつきを抑制することができる。

【0024】上記第1の半導体装置の製造方法において、上記工程(b)では、非シリサイド化領域の素子のポリシリコン部材として、抵抗素子の抵抗膜及び高耐圧トランジスタのゲート電極のうち少なくともいずれか一方を形成することができる。

【0025】本発明の第2の半導体装置の製造方法は、半導体基板上のポリシリコン層に抵抗値低減用の不純物のイオン注入を行なう工程(a)と、酸素を含む雰囲気

中で基板の熱処理を行なう工程 (b) とを備えている。

【0026】この方法により、ポリシリコン層の上に酸化膜が形成されるので、熱処理中における不純物のアウトディフュージョンが抑制される。すなわち、不純物のアウトディフュージョンによるポリシリコン層の抵抗値のばらつきや、不純物のアウトディフュージョンの結果残された空孔に起因するポリシリコン層の抵抗値のばらつきを抑制することができる。

【0027】上記第2の半導体装置の製造方法において、上記ポリシリコン層がMOSトランジスタのゲート電極の場合には、上記工程 (b) の後に、上記ポリシリコン層内にシリサイド化促進用の不純物を導入する工程 (c) と、上記工程 (c) の後に、ポリシリコン層の上部をシリサイド化する工程 (d) とをさらに備えることにより、上記効果に加えて、その後にシリサイド化工程を行なう場合のブリアモルファス化用イオン注入時に不純物がゲート電極を突き抜けるのを抑制することができる。すなわち、MOSトランジスタのしきい値電圧のばらつきを抑制することができる。

【0028】上記第2の半導体装置の製造方法において、上記ポリシリコン層が抵抗素子の抵抗体である場合には、不純物のアウトディフュージョンを抑制することによって、抵抗体膜の抵抗値を精度よく許容範囲内に収めることができる。

【0029】

【発明の実施の形態】 (第1の実施形態) 図1 (a) ~ (c) は、本実施形態の半導体装置の製造工程を示す断面図である。

【0030】図1 (a) に示す工程に至るまでに、以下の手順で処理を行なう。まず、Si基板1上に、各トランジスタ形成領域を取り囲むトレンチ型の素子分離用絶縁膜2を形成する。この素子分離用絶縁膜2は、例えば以下の工程によって形成される。基板上に保護酸化膜、シリコン窒化膜を形成した後、保護酸化膜、シリコン窒化膜のうちトレンチ形成領域を選択的に除去する。そして、シリコン窒化膜の残存部分をエッチングマスクとして用いてSi基板1をエッチングすることにより、トレンチを形成する。その後、基板上にシリコン酸化膜を堆積した後、シリコン窒化膜が露出するまでCMPを行なうことにより、シリコン酸化膜をトレンチ内に埋め込んで、素子分離用絶縁膜2を形成する。これにより、素子分離用絶縁膜2によって、Si基板1が、シリサイド化領域Rsiと非シリサイド化領域Rnsiとに大きく区画される。非シリサイド化領域Rnsi内には、入力回路に配置される高耐圧nチャネル型MOSトランジスタを形成するための高耐圧nMOSFET形成領域Rnnが設けられている。シリサイド化領域Rsiは、nチャネル型MOSトランジスタを形成するためのnMOSFET形成領域Rsnと、pチャネル型MOSトランジスタを形成するためのpMOSFET形成領域Rspとにさらに区画され

る。その後、各領域Rnn、Rsn、Rspに不純物イオンを注入して、各領域に形成されるトランジスタに応じたウエル領域3a、3b、3cを形成する。すなわち、高耐圧nMOSFET形成領域Rnnにはp型のウエル領域3aを、nMOSFET形成領域Rsnにはp型のウエル領域3bを、pMOSFET形成領域Rspにはn型のウエル領域3cをそれぞれ形成する。

【0031】なお、一般的には、入力回路に配置される高耐圧MOSトランジスタは、nチャネル型MOSトランジスタのみであることが多いが、nチャネル型MOSトランジスタ及びpチャネル型MOSトランジスタの双方を設ける場合もある。

【0032】次に、Si基板1の素子分離用絶縁膜2で囲まれる領域に、シリコン酸化膜 (熱酸化膜) からなるゲート酸化膜7a、7bと、ポリシリコン膜とを順に形成する。この状態ではポリシリコンはドーピングされていない。なお、非シリサイド化領域Rnsiに形成される高耐圧トランジスタのゲート酸化膜7aは、シリサイド化領域Rsiに形成される通常のMOSFETのゲート酸化膜7bよりも厚いのが一般的である。例えば通常のMOSトランジスタのゲート酸化膜7aの厚みが5nm程度であるのに対し、高耐圧MOSトランジスタのゲート酸化膜7bの厚みは、約10nmである。

【0033】次に、ポリシリコン膜のうちpMOSFET形成領域Rspに位置する部分をレジストマスクで覆った状態で、ポリシリコン膜内にn型不純物であるリンをイオン注入によりドーピングする。このとき、非シリサイド化領域Rnsi内の高耐圧nMOSFET形成領域Rnnにもリンのイオン注入によるドーピングを行なう。その後、リンを活性化するためのアニール (第1回目のRTA) を行う。

【0034】次に、ポリシリコン膜のうちnMOSFET形成領域Rsn及び高耐圧nMOSFET形成領域Rnnに位置する部分をレジストマスクで覆った状態で、ポリシリコン膜内にp型不純物であるボロンをイオン注入によりドーピングする。ここではボロンを活性化のためのアニール (第2回目のRTA) は行わない。

【0035】その後、ポリシリコン膜をパターニングすることにより、nチャネル型及びpチャネル型MOSトランジスタと、高耐圧MOSトランジスタとのゲート電極8を形成する。その後、LDD領域5を形成するための不純物のイオン注入、シリコン酸化膜からなるサイドウォール9の形成、高濃度ソース・ドレイン領域6を形成するための不純物のイオン注入を行なう。

【0036】そして、図1 (a) に示すように、プラズマCVDを行なって、基板の全面上にTEOS膜10を堆積する。これにより、非シリサイド化領域Rnsi及びシリサイド化領域Rsiの全体がTEOS膜10によって覆われる。

【0037】その後、pチャネル型MOSトランジスタ

のゲート電極内のボロンを活性するためのアニール (RTA処理) を、温度750℃、5秒間の条件で行なう。

【0038】つぎに、図1 (b) に示す工程で、フォトリソグラフィ工程により、基板上に、非シリサイド化領域R_{nsi} を覆うレジストマスク20を形成する。そして、このレジストマスク20をエッチングマスクとして用いてTEOS膜10をウエットエッチングすることにより、TEOS膜10のうち非シリサイド化領域R_{nsi} に位置する部分を残してこれをTEOSマスク10aとし、他部を除去する。その結果、シリサイド化領域R_{si} 内のMOSFETのゲート電極8、高濃度ソース・ドレイン領域6の表面が露出する。なお、ウエットエッチング液には、フッ酸を用いている。

【0039】次に、ゲート電極8及び高濃度ソース・ドレイン領域6の表面部をシリサイド化しやすくするため、これらの領域の表面部のブリアモルファス化を行う。すなわち、レジストマスク20を除去した状態で、TEOSマスク10aの上方からゲート電極8及び高濃度ソース・ドレイン領域6にヒ素イオン (As⁺) を、ドーズ量が約1×10¹⁴ cm⁻²、注入エネルギーが約20keVの条件で注入する。これにより、ゲート電極8及び高濃度ソース・ドレイン領域6の表面付近の領域がアモルファス化されてシリサイドが形成されやすくなる。

【0040】次に、図1 (c) に示す工程で、基板の全表面上に厚みが50nmのチタン (又はコバルト膜) からなる金属膜を堆積する。このとき、チタン (又はコバルト) をターゲットに用いたスパッタリング法を用いている。

【0041】次に、650℃、30分間の条件で熱処理を行なって、チタン (またはコバルト) と、ゲート電極8を構成するポリシリコン及び高濃度ソース・ドレイン領域6を構成する単結晶シリコンとを反応させることにより、ゲート電極8及び高濃度ソース・ドレイン領域6のうちの表面部分をシリサイド化してチタンシリサイド膜11a、11bを形成する。

【0042】その後、TEOSマスク10aを除去すると、非シリサイド化領域R_{nsi} には高耐圧nMOSFETを、シリサイド化領域R_{si} には通常のnMOSFET及びpMOSFETをそれぞれ配置した半導体装置が得られる。

【0043】本実施形態によると、ゲート用ポリシリコン膜のうち通常のpチャネル型MOSトランジスタのゲート電極となる部分における不純物活性化のためのアニール工程 (第2回目のRTA) と、TEOS膜10の形成工程との順序を従来とは変えている。つまり、ゲート用ポリシリコン膜のうち通常のnMOSFET及び高耐圧nMOSFETのゲート電極となる部分におけるリン活性化のためのアニール (第1回目のRTA) は、TEOS膜10の堆積前に行なっている。つまり、n型不純

物イオン (リンイオン) の注入によって、ポリシリコン膜のうちnMOSFET形成領域R_{nn}の表面部には極端に高濃度にn型不純物を含む部分が存在している。この状態で、ポリシリコン膜をエッチングしてゲート電極などを形成すると、極端に高濃度にn型不純物を含む部分においては他の部分よりもエッチング作用が促進されて異方性が損なわれ、ゲート電極などの上端部にサイドエッチ部が生じるおそれがある。それに対し、本実施形態においては、この第1回目のRTAにより、ポリシリコン膜12の表面付近の極めて高濃度にn型不純物 (リン) を含む部分からn型不純物がポリシリコン膜の内部に拡散する。したがって、ポリシリコン膜の表面部におけるn型不純物の濃度が低減するので、後にポリシリコン膜をエッチングしてゲート電極などを形成する際に、ゲート電極などの上端部におけるサイドエッチを防止することができる。

【0044】一方、ポリシリコン膜にp型不純物であるボロンを注入した直後は不純物拡散のためのアニール (第2回目のRTA) を行なわずに、TEOS膜10によって基板の全面を覆った状態でアニールを行なっている。したがって、第2回目のRTAにおける不純物のアウトディフュージョンに起因する通常のpチャネル型MOSトランジスタのゲート抵抗のばらつきを抑制することができる。よって、安定した電気的特性を有する半導体装置が得られることになる。

【0045】 (第2の実施形態) 図2 (a) ~ (c)、図3 (a)、(b) 及び図4 (a) ~ (c) は、本発明の第2の実施形態に係る半導体装置の製造工程を示す断面図である。

【0046】まず、図2 (a) に示す工程に至るまでに、以下の手順で処理を行なう。まず、Si基板1上に、各トランジスタ形成領域を取り囲むトレンチ型の素子分離用絶縁膜2を形成する。この素子分離用絶縁膜2は、上記第1の実施形態で説明したと同様の手順により形成される。そして、Si基板1が、素子分離用絶縁膜2によって、非シリサイド化領域R_{nsi} とシリサイド化領域R_{si} とに大きく区画される。ここで、本実施形態においては、非シリサイド化領域R_{nsi} は、それぞれ入力回路に配置される高耐圧nチャネル型MOSトランジスタが設けられる高耐圧nMOSFET形成領域R_{nn}と、高耐圧pチャネル型MOSトランジスタが設けられる高耐圧pMOSFET形成領域R_{np}と、素子分離用絶縁膜2の上の領域で抵抗素子が設けられる抵抗素子形成領域R_{nr}とに区画される。また、シリサイド化領域R_{si} は、nチャネル型MOSトランジスタを形成するためのnMOSFET形成領域R_{sn}と、pチャネル型MOSトランジスタを形成するためのpMOSFET形成領域R_{sp}とにさらに区画される。その後、各領域R_{sn}、R_{sp}、R_{nn}、R_{np}に不純物イオンを注入して、各領域に形成されるトランジスタに応じたウエル領域3x、3y、3z、

3wを形成する。すなわち、nMOSFET形成領域R_{sn}、高耐圧nMOSFET形成領域R_{nn}には、それぞれp型のウェル領域3x、3zを、pMOSFET形成領域R_{sp}、高耐圧pMOSFET形成領域R_{np}にはn型のウェル領域3y、3wをそれぞれ形成する。

【0047】次に、Si基板1の素子分離用絶縁膜2で囲まれる領域にシリコン酸化膜（熱酸化膜）からなるゲート酸化膜7a、7bと、ポリシリコン膜12とを順に形成する。非シリサイド化領域R_{nsi}に形成される高耐圧トランジスタのゲート酸化膜7aは、シリサイド化領域R_{si}に形成される通常のMOSFETのゲート酸化膜7bよりも厚いのが一般的である。例えば通常のMOSトランジスタのゲート酸化膜7aの厚みが5nm程度であるのに対し、高耐圧MOSトランジスタのゲート酸化膜7bの厚みは、約10nmである。

【0048】次に、ポリシリコン膜12の上に、ポリシリコン膜のうちpMOSFET形成領域R_{sp}、高耐圧pMOSFET形成領域R_{np}及び抵抗素子形成領域R_{nr}に位置する部分を覆い、nMOSFET形成領域R_{sn}、高耐圧nMOSFET形成領域R_{nn}に位置する部分の上を開口したレジストマスク21を形成する。そして、レジストマスク21を注入マスクとして用いて、ポリシリコン膜12内にn型不純物イオンであるリンイオン（P⁺）の注入を行なう。すなわち、ポリシリコン膜12のうちnMOSFET形成領域R_{sn}及び高耐圧nMOSFET形成領域R_{nn}に含まれる領域にリンをドーピングする。

【0049】そして、レジストマスク21を除去した状態で、活性化のためのアニール（第1回目のRTA）を行う。このとき、温度750℃～850℃の範囲で、酸素（O₂）と窒素（N₂）を含む雰囲気下でRTA処理を行なう。酸素分圧は例えば5～20%である。具体的には、例えば窒素と酸素との流量比によって酸素の分圧を調整することができる。このとき、ポリシリコン膜12のうち露出している部分の上には、厚みが3～4nmの極薄の酸化膜30（シリコン酸化膜）が形成される。この酸化膜30が形成されることにより、第1回目のRTA中におけるポリシリコン膜12中にドーピングしたリンのアウトディフュージョンが抑制される。

【0050】また、n型不純物イオン（リンイオン）の注入によって、各領域R_{sn}、R_{nn}の表面部には極端に高濃度にn型不純物を含む部分が存在している。この状態で、ポリシリコン膜をエッチングしてゲート電極などを形成すると、極端に高濃度にn型不純物を含む部分においては他の部分よりもエッチング作用が促進されて異方性が損なわれ、ゲート電極などの上端部にサイドエッチ部が生じるおそれがある。それに対し、本実施形態においては、この第1回目のRTAにより、各領域R_{sn}、R_{nn}においてポリシリコン膜12の表面付近の極めて高濃度にn型不純物（リン）を含む部分からn型不純物がポリシリコン膜12の内部に拡散する。したがって、ポリ

シリコン膜12の表面部におけるn型不純物の濃度が低減するので、後にポリシリコン膜をエッチングしてゲート電極などを形成する際に、ゲート電極などの上端部におけるサイドエッチを防止することができる。

【0051】次に、図2（b）に示す工程において、ポリシリコン膜12の上に、ポリシリコン膜12のうちnMOSFET形成領域R_{sn}及び高耐圧nMOSFET形成領域R_{nn}に位置する部分を覆い、pMOSFET形成領域R_{sp}、高耐圧pMOSFET形成領域R_{np}及び抵抗素子形成領域R_{nr}に位置する部分の上を開口したレジストマスク22を形成する。そして、レジストマスク22を注入マスクとして用いて、ポリシリコン膜12内にp型不純物イオンであるフッ化ボロンイオン（BF₂⁺）の注入を行なう。すなわち、ポリシリコン膜12のうちpMOSFET形成領域R_{sp}、高耐圧pMOSFET形成領域R_{np}及び抵抗素子形成領域R_{nr}に含まれる領域にボロンをドーピングする。ここでは、ボロンを活性化のためのアニール（第2回目のRTA）は行わない。

【0052】なお、ポリシリコン膜12のうち抵抗素子形成領域R_{nr}に位置する部分に、p型不純物に代えてn型不純物のイオン注入を行なってもよい。その場合には、図2（a）に示す状態で、レジストマスク21のうち抵抗素子形成領域R_{nr}に位置する部分が開口されている。そして、レジストマスク21を除去した後、酸素を含む雰囲気下における第1回目のRTAによって、ポリシリコン膜12の上に酸化膜が形成されるので、n型不純物のアウトディフュージョンが抑制され、抵抗素子の抵抗値を許容範囲内に精度よく収めることが可能になる。

【0053】次に、図2（c）に示す工程において、レジストマスク22を除去した後、ゲート電極及び抵抗体膜の形成用マスク（図示せず）を形成し、この形成用マスクをエッチングマスクとして用いてポリシリコン膜をパターニングすることにより、各MOSFETのゲート電極8と、抵抗素子の抵抗体膜13とを形成する。その後、形成用マスクを除去した後、LDD領域5を形成するための不純物のイオン注入、ゲート電極8の側面上へのシリコン酸化膜からなるサイドウォール9の形成、高濃度ソース・ドレイン領域6を形成するための不純物のイオン注入を行なう。その際、通常のプロセスにおいては、ポリシリコン膜12の上に形成されていた酸化膜30は例えばサイドウォール形成のためのエッチバックによって除去される。

【0054】次に、図3（a）に示す工程において、基板の全面上にプラズマCVDによりTEOS10を堆積する。第1の実施形態においては、この直後にアニールをしていたが、この実施形態ではアニールを行わない。

【0055】次に、図3（b）に示す工程において、TEOS膜10の上に、非シリサイド化領域R_{nsi}を覆

い、シリサイド化領域Rsiの上を開口したレジストマスク23を形成する。そして、このレジストマスク23をエッチングマスクとして用いてウェットエッチングを行なう。TEOS膜10のうちシリサイド化領域Rsiに含まれる部分を除去する。これにより、シリサイド化領域Rsiを開口したTEOSマスク10aが形成され、シリサイド形成領域Rsi内の各MOSトランジスタのソース・ドレイン領域6及びゲート電極の表面が露出した状態になる。

【0056】次に、図4(a)に示す工程において、レジストマスク23を硫酸過水(硫酸+過酸化水素+水)によって洗浄することにより除去した後、温度750℃～850℃の範囲で、酸素(O_2)と窒素(N_2)を含む雰囲気下で第2回目のRTA処理を行なう。酸素分圧($O_2 / (O_2 + N_2)$)は例えば5～20%であり、具体的には窒素と酸素とを $N_2 : O_2 = 5 : 1$ の流量比で流す。このとき、TEOSマスク10aによって覆われていない部分、つまりシリサイド形成領域Rsi内におけるMOSトランジスタのゲート電極8及びソース・ドレイン領域6の上には酸化膜31が形成される。この酸化膜31によって、第2回目のRTA処理時におけるnチャネル型、pチャネル型MOSトランジスタのゲート電極8中のn型不純物(リン)、p型不純物(ボロン)のアウトディフュージョンが抑制されるとともに、この後のブリュッセル形成時のヒ素イオン(As^+)の注入の際にも As^+ の突き抜けが抑制される。

【0057】次に、図4(b)に示す工程において、ゲート電極8及び高濃度ソース・ドレイン領域6の表面部をシリサイド化しやすくするために、シリサイド化領域Rsiにおけるゲート電極8及び高濃度ソース・ドレイン領域6の表面部のブリュッセル化のためのイオン注入を行う。すなわち、TEOSマスク10aを注入マスクとして用いて、ゲート電極8及び高濃度ソース・ドレイン領域6に As^+ イオンを、ドーズ量が約 $1 \times 10^{14} \text{ cm}^{-2}$ 、注入エネルギーが約20keVの条件で注入する。これにより、ゲート電極8及び高濃度ソース・ドレイン領域6の表面付近の領域がアモルファス化されてシリサイドが形成されやすくなる。なお、この時のイオン注入におけるドーズ量はポリシリコン膜やソース・ドレイン領域にイオン注入する際のドーズ量に比べて極めて小さいので、ポリシリコン膜やソース・ドレイン領域に注入された不純物による導電性を損なわせることはない。

【0058】また、この時注入されるイオン種はシリサイド化しようとする領域をアモルファス化する機能を有するものであれば十分なので、 As^+ だけでなく例えば Ge^+ などの比較的大きな原子のイオンを用いてイオン注入を行なってもよい。

【0059】次に、図4(c)に示す工程で、基板の全表面上に厚みが40nmのチタン(又はコバルト膜)から

なる金属膜を堆積する。このとき、チタン(又はコバルト)をターゲットに用いたスパッタリング法を用いている。なお、その際、酸化膜31は自然に除去されることが多いが、スパッタリングを行なう前に酸化膜31をエッチングや真空中における高温保持等によって除去する工程を付加することもできる。

【0060】次に、650℃、30分間の条件で熱処理を行なう。金属膜を構成するチタン(またはコバルト)と、ゲート電極8を構成するポリシリコン、高濃度ソース・ドレイン領域6を構成する単結晶シリコンとを反応させることにより、ゲート電極8及び高濃度ソース・ドレイン領域6のうちの表面部分をシリサイド化してチタンシリサイド膜11a、11bを形成する。そして、未反応の金属膜を除去する。

【0061】この後の工程は第1の実施形態において説明したとおりであり、TEOSマスク10aを除去すると、シリサイド化領域Rsiにおいては、表面部がシリサイド化されたゲート電極8及び高濃度ソース・ドレイン領域6を有するnチャネル型MOSトランジスタ及びpチャネル型MOSトランジスタが形成され、非シリサイド化領域Rnsiにおいては、シリサイド化されていないゲート電極8及び高濃度ソース・ドレイン領域6を有する高耐圧nチャネル型MOSトランジスタ及び高耐圧pチャネル型MOSトランジスタと、シリサイド化されていない抵抗膜13を有する抵抗素子とが形成される。

【0062】本実施形態は、上記第1の実施形態と比較して、第1回及び第2回のRTA処理を酸素を含む雰囲気で行なう点と、TEOS膜10をパターニングしてTEOSマスク10aを形成してからブリュッセル化のためのイオン注入を行なう点とが特徴である。その結果、以下の効果を発揮することができる。

【0063】まず、第1回目のRTA処理を酸素を含む雰囲気下において行なうことにより、ポリシリコン膜12の上に酸化膜30が形成される。したがって、第1回目のRTA処理中において、n型不純物のアウトディフュージョンを抑制することができる。その結果、ポリシリコン膜内にドーブしたn型不純物の低減による導電性の悪化を有効に防止することができる。加えて、ポリシリコン膜12からn型不純物が抜けることによりポリシリコン膜に空孔が形成されると、ポリシリコン膜の抵抗値が増大することになる。また、その空孔の部分は後にシリサイド化されないで、シリサイド層の抵抗値も増大する。すなわち、全体として、ポリシリコン膜の抵抗値にばらつきが生じるという不具合を招くおそれがあるが、酸化膜30の存在によってn型不純物のアウトディフュージョンが抑制されることにより、かかる不具合をも解消することができる。

【0064】次に、第2回目のRTA処理を酸素を含む雰囲気下において行なうことにより、n型及びp型不純物のアウトディフュージョンの抑制によるゲート電極及

び高濃度ソース・ドレイン領域6の抵抗値のばらつき抑制効果に加えて、以下の効果が得られる。すなわち、もともとMOSトランジスタのしきい値制御のために各ウェル領域3x, 3y, 3z, 3wにドーピングされている不純物の濃度はソース・ドレイン領域6内の不純物濃度と比べて極めて小さい。そのために、プリアモルファス化のためのイオン注入の際に As^+ がゲート電極8を突き抜けてSi基板1内のチャネル領域に達すると、MOSトランジスタのしきい値電圧が変動することがわかった。そこで、本実施形態のごとく、第2回目のRTA処理によってゲート電極8の上に酸化膜31を形成することにより、プリアモルファス化のために注入されるイオン(As^+)がゲート電極8を突き抜けて(チャネリングによる)チャネル領域に達するのを抑制することができる。すなわち、シリサイド化領域Rsi内に形成されるnチャネル型MOSトランジスタの不純物の突き抜けに起因するしきい値電圧の変動を防止することができる。

【0065】一方、非シリサイド化領域Rnsiにおいては、TEOS膜マスク10aによって覆われた状態で熱処理が行なわれるので、n型及びp型不純物のアウトディフュージョンを確実に抑制できる。

【0066】また、第1回目のRTA処理によってポリシリコン膜12内にドーピングした不純物のうちn型不純物の活性化のみを行い、ポリシリコン膜12内にドーピングされたp型不純物の活性化は行なわないので、p型不純物が拡散してゲート酸化膜7a, 7bやSi基板1内に侵入するのを抑制することができる。すなわち、pチャネル型MOSトランジスタ及び高耐圧pチャネル型MOSトランジスタのゲート電極8の導電性の悪化や、ゲート酸化膜7a, 7bの絶縁特性の劣化、しきい値電圧の変動などを防止することができる。

【0067】ここで、酸素を含む雰囲気下でRTA処理を行なうことの効果に関するデータについて説明する。

【0068】図5(a)～(c)は、酸素を含む雰囲気下におけるRTA処理の効果を確認するために、3種類の条件でRTA処理が施されたサンプルの上面のSEM像を複写した図である。図5(a)～(c)に示すサンプルの上面には、ポリシリコンからなるゲート電極と、ゲート電極の周囲を囲む酸化膜からなるサイドウォールと、高濃度ソース・ドレイン領域が形成されているシリコン基板の表面とが現れている。

【0069】図5(a)は、 N_2 のみを流量5.0slcmで流しながらRTA処理を行なった時のサンプルの上面状態を示している。図5(b)は、 N_2/O_2 の流量を5.0/0.3slcmとして流しながらRTA処理を行なった時のサンプルの上面状態を示している。図5(c)は、 N_2/O_2 の流量を5.0/20.0slcmとして流しながらRTA処理を行なった時のサンプルの上面状態を示している。図5(a)に示すように、 N_2 のみを流しながらRTA処理を行なった場合には、

ポリシリコン層からなるゲート電極内に不純物が抜けて形成された空孔が存在していることがわかる。それに対し、図5(b), (c)に示すように、 N_2 と O_2 とを流しながらRTA処理を行なった場合には、ポリシリコン層からなるゲート電極内に空孔が存在していない。すなわち、酸素を含む雰囲気下において熱処理(本実施形態においてはRTA処理)を行なうことにより、ポリシリコン層内の不純物のアウトディフュージョンを確実に抑制しうることが確認された。

【0070】図6は、RTA処理の際の O_2 分圧に対するnチャネル型MOSトランジスタのしきい値電圧の変化と、pチャネル型MOSトランジスタのソース・ドレイン領域の不純物濃度の低下に起因するドレイン電流の低下とを示す図である。同図において、横軸は O_2 分圧($(O_2/(N_2+O_2))$)を表し、縦軸はnチャネル型MOSトランジスタのしきい値電圧(V)と、pチャネル型MOSトランジスタの飽和ドレイン電流($\mu A/\mu m$)とを表している。同図に示すように、 O_2 分圧が2.5%以下になるとnチャネル型MOSトランジスタのしきい値電圧のシフトが発生しており、 O_2 分圧が約40%を越えるとpチャネル型MOSトランジスタの飽和ドレイン電流の低下が著しくなる。つまり、 O_2 分圧を増大させると、基板上に酸化膜がより厚く形成され、同時にソース・ドレイン領域のp型不純物であるボロンもより多く酸化膜中に吸い出されてしまうことから、ソース・ドレイン領域の電気的抵抗が増大して飽和ドレイン電流が低下する。

【0071】図7は、RTA処理の際の O_2 分圧に対するポリシリコン層の空孔の発生による抵抗値のばらつきとポリシリコン層上の酸化膜の除去不足に起因する抵抗値のばらつきとを示す図である。同図において、横軸は O_2 分圧($(O_2/(N_2+O_2))$)を表し、縦軸はシリサイド層及びポリシリコン層のシート抵抗値($\Omega/sq.$)を表している。同図に示すように、 O_2 分圧が2.5%以下になると空孔の発生に起因するシリサイド層及びポリシリコン層のシート抵抗値のばらつきが大きくなり、 O_2 分圧が約40%を越えるとポリシリコン層上の酸化膜が厚くなってその後の工程において酸化膜の除去不足に起因するシリサイド層及びポリシリコン層のシート抵抗値のばらつきが大きくなる。なお、酸化膜の除去工程を別途追加することは工程を複雑化するので、できれば酸化膜の除去工程を設けないことが好ましい。

【0072】図6及び図7のデータから、 O_2 分圧は2.5～40%であることが好ましく、5～30%であることがより好ましい。

【0073】(第3の実施形態)図8(a), (b)及び図9(a)～(c)は、本発明の第3の実施形態に係る半導体装置の製造工程を示す断面図である。

【0074】まず、図8(a)に示す工程に至るまでに、上記第2の実施形態における図2(a)～(c)に

示す工程と同じ処理を行なう。

【0075】そして、図8(a)に示す工程において、基板の全面上にプラズマCVDによりTEOS膜10を堆積する。第1の実施形態においては、この直後にアニールをしていたが、本実施形態ではアニールを行なわない。

【0076】次に、図8(b)に示す工程において、TEOS膜10の上に、非シリサイド化領域R_{nsi}を覆い、シリサイド化領域R_{si}の上を開口したレジストマスク24を形成する。そして、このレジストマスク24をエッチングマスクとして用いてウエットエッチングを行なって、TEOS膜10のうちシリサイド化領域R_{si}に含まれる部分を除去する。これにより、非シリサイド化領域R_{nsi}を覆うTEOSマスク10aが形成され、シリサイド形成領域R_{si}内の各MOSトランジスタのソース・ドレイン領域6及びゲート電極8の表面が露出した状態になる。

【0077】ここで、上記第2の実施形態においては、レジストマスク23を硫酸過水(硫酸+過酸化水素+水)によって洗浄することにより除去した。

【0078】それに対し、本実施形態においては、図9(a)に示す工程において、O₂プラズマによるアッシングを行なった後、さらに硫酸過水(硫酸+過酸化水素+水)によって洗浄することによりレジストマスク24を除去する。その際、O₂プラズマによるアッシングを行なうことにより、TEOSマスク10aによって覆われていない部分、つまりシリサイド形成領域R_{si}内におけるMOSトランジスタのゲート電極8及びソース・ドレイン領域6の上には酸化膜32が形成される。つまり、pMOSFET形成領域R_{sp}のゲート電極8の上にも酸化膜32が形成される。その結果、RTA処理時におけるpMOSトランジスタのゲート電極8中のp型不純物(ボロン)のアウトディフュージョンを抑制するとともに、この後のブリアモルファス形成時のイオン注入によってもAsの突き抜けが生じないという第2の実施形態と同様の効果が得られる。

【0079】その際、アッシングの温度は150~300℃の範囲である。

【0080】次に、図9(b)に示す工程において、ゲート電極8及び高濃度ソース・ドレイン領域6の表面部をシリサイド化しやすくするために、シリサイド化領域R_{si}におけるゲート電極8及び高濃度ソース・ドレイン領域6の表面部のブリアモルファス化のためのイオン注入を行う。すなわち、TEOSマスク10aを注入マスクとして用いて、ゲート電極8及び高濃度ソース・ドレイン領域6にヒ素イオン(As⁺)を、ドーズ量が約5×10¹⁵cm⁻²、注入エネルギーが約20keVの条件で注入する。これにより、ゲート電極8及び高濃度ソース・ドレイン領域6の表面付近の領域がアモルファス化されてシリサイドが形成されやすくなる。なお、この時

のイオン注入におけるドーズ量はポリシリコン膜やソース・ドレイン領域にイオン注入する際のドーズ量に比べて極めて小さいので、ポリシリコン膜やソース・ドレイン領域に注入された不純物による導電性を損なわせることはない。

【0081】また、この時注入されるイオン種はシリサイド化しようとする領域をアモルファス化する機能を有するものであれば十分なので、As⁺だけでなく例えばGe⁺などの比較的大きな原子のイオンを用いてイオン注入を行なってもよい。

【0082】次に、図9(c)に示す工程で、基板の全面上に厚みが50nmのチタン(又はコバルト膜)からなる金属膜を堆積する。このとき、チタン(又はコバルト)をターゲットに用いたスパッタリング法を用いている。

【0083】次に、650℃、3.0分間の条件で熱処理を行なって、チタン(またはコバルト)とゲート電極8を構成するポリシリコン及び高濃度ソース・ドレイン領域6を構成する単結晶シリコンとを反応させることにより、ゲート電極8及び高濃度ソース・ドレイン領域6のうちの表面部分をシリサイド化してチタンシリサイド膜11a、11bを形成する。そして、未反応の金属膜を除去する。

【0084】この後の工程は第1の実施形態において説明したとおりであり、TEOSマスク10aを除去すると、シリサイド化領域R_{si}においては、表面部がシリサイド化されたゲート電極8及び高濃度ソース・ドレイン領域6を有するnチャネル型MOSトランジスタ及びpチャネル型MOSトランジスタが形成され、非シリサイド化領域R_{nsi}においては、シリサイド化されていないゲート電極8及び高濃度ソース・ドレイン領域6を有する高耐圧nチャネル型MOSトランジスタ及び高耐圧pチャネル型MOSトランジスタと、シリサイド化されていない抵抗膜13を有する抵抗素子とが形成される。

【0085】本実施形態においても、第1回目のRTA処理と第2回目のRTA処理とを酸素を含む雰囲気下で行なうことにより、第2の実施形態と同様の効果を発揮することができる。加えて、本実施形態においては、レジストマスク24をO₂プラズマによるアッシングによって除去する際に、ゲート電極8上に酸化膜32を形成しているので、RTA処理のような高温処理を行わずに済み、MOSトランジスタの特性に対する悪影響を確実に回避できるという利点がある。

【0086】なお、抵抗膜13及びp型MOSトランジスタのゲート電極8に注入されたp型不純物を活性化するために、図9(a)に示す酸化膜32が形成されてから第2回目のRTA処理を行なう。その場合にも、本実施形態においては、このRTA処理の条件とは無関係の条件で最適な厚みを有する酸化膜32を形成できるという利点がある。

【0087】なお、ソース・ドレインの不純物を活性化するためのRTAは、層間絶縁膜を形成してからでもよい。

【0088】（第3の実施形態の変形形態）上記第3の実施形態においては、レジストマスク24を除去しながら酸化膜を形成するために、まず、 O_2 プラズマによるアッシング（プラズマ酸化）を行なってから硫酸過水（硫酸+過酸化水素+水）による洗浄を行なったが、この手順を逆にしてもよい。すなわち、硫酸過水（硫酸+過酸化水素+水）による洗浄を行なうことにより、レジストマスク24を除去した後、 O_2 プラズマ処理によってゲート電極8や高濃度ソース・ドレイン領域6の上に酸化膜32を形成する（プラズマ酸化）ことができる。その後、第2回目のRTAを行なえば不純物のアウトディフュージョンやブリアモルファス化のためのイオンの突き抜けを抑制することができ、上記第3の実施形態と同様の効果を発揮することができる。

【0089】（その他の実施形態）上記各実施形態においては、非シリサイド化領域Rnsi には、高耐圧MOSトランジスタが設けられているが、本発明はかかる実施形態に限定されるものではない。すなわち、非シリサイド化領域に抵抗素子のみが配置されている場合にも適用することができる。また、本発明は、シリサイド化領域Rsi又は非シリサイド化領域Rnsi に容量素子の電極（上部電極）が配置されるものにも適用することができる。

【0090】

【発明の効果】本発明の第1の半導体装置の製造方法によると、シリサイド化領域と非シリサイド化領域とを有する半導体装置の製造方法において、ポリシリコン膜の一部に抵抗値低減用のn型不純物イオンを注入した後、第1回目の熱処理を行なった後、ポリシリコン膜の他部に抵抗値低減用のp型不純物イオンを注入し、その後、ポリシリコン膜をパターンニングしてから、非シリサイド化領域をシリサイド化用マスクで覆った状態で、第2回目の熱処理を行なって、シリサイド化促進用の不純物イオンの注入、シリサイド化を行なうようにしているので、工程を増やすことなく、ゲート電極などの部材の上端部におけるサイドエッチのない、非シリサイド化領域に配置されるポリシリコン部材の抵抗値のばらつきの小さい半導体装置を形成することができる。

【0091】特に、第1回目、第2回目の熱処理を酸素を含む雰囲気下において行なうことにより、ポリシリコン膜やゲート電極などの上に酸化膜を形成し、熱処理中における不純物のアウトディフュージョンを抑制することができる。

【0092】本発明の第2の半導体装置の製造方法によると、半導体基板上のポリシリコン層に抵抗値低減用の不純物のイオン注入を行なった後、酸素を含む雰囲気中で基板の熱処理を行なうようにしているので、抵抗体膜

やゲート電極などとなるポリシリコン層の上に酸化膜を形成し、熱処理中における不純物のアウトディフュージョンを抑制することができる。

【図面の簡単な説明】

【図1】（a）～（c）は、本発明の第1の実施形態の半導体装置の製造工程を示す断面図である。

【図2】（a）～（c）は、本発明の第2の実施形態に係る半導体装置の製造工程のうち前半部分を示す断面図である。

【図3】（a）、（b）は、本発明の第2の実施形態に係る半導体装置の製造工程のうち中間部分を示す断面図である。及び

【図4】（a）～（c）は、本発明の第2の実施形態に係る半導体装置の製造工程のうち後半部分を示す断面図である。

【図5】（a）～（c）は、酸素を含む雰囲気下におけるRTA処理の効果を確認するために、3種類の条件でRTA処理が施されたサンプルの上面のSEM像を複写した図である。

【図6】RTA処理の際の O_2 分圧に対するnチャネル型MOSトランジスタのしきい値電圧の変化と、pチャネル型MOSトランジスタのソース・ドレイン領域の不純物濃度の低下に起因するドレイン電流の低下とを示す図である。

【図7】RTA処理の際の O_2 分圧に対するポリシリコン層の空孔の発生による抵抗値のばらつきとポリシリコン層上の酸化膜の除去不足に起因する抵抗値のばらつきとを示す図である。

【図8】（a）、（b）は、本発明の第3の実施形態に係る半導体装置の製造工程のうち中間部分を示す断面図である。

【図9】（a）～（c）は、本発明の第3の実施形態に係る半導体装置の製造工程のうち後半部分を示す断面図である。

【符号の説明】

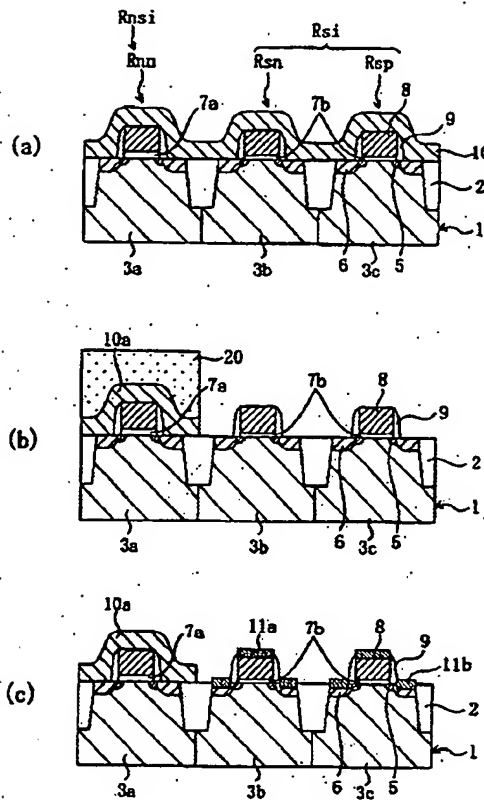
- 1 Si基板
- 2 素子分離用絶縁膜
- 3 ウェル領域
- 5 LDD領域
- 6 高濃度ソース・ドレイン領域
- 7 ゲート酸化膜
- 8 ゲート電極
- 9 サイドウォール
- 10 TEOS膜
- 11 シリサイド層
- 12 ポリシリコン膜
- 13 抵抗体膜
- Rsi シリサイド化領域
- Rnsi 非シリサイド化領域
- Rsn nMOSFET形成領域

Rsp pMOSFET形成領域

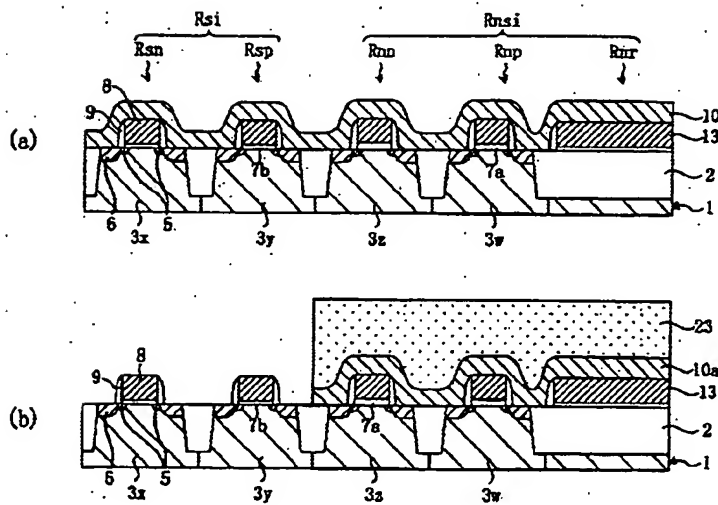
Rnn 高耐压nMOSFET形成領域

Rnp 高耐圧pMOSFET形成領域

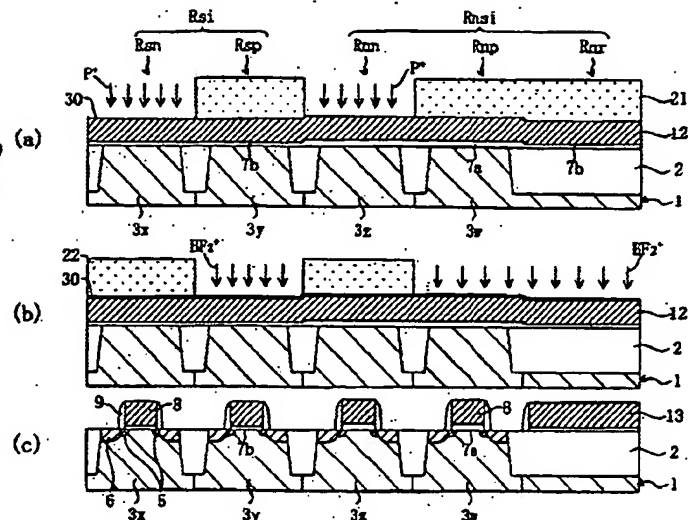
【图 1】



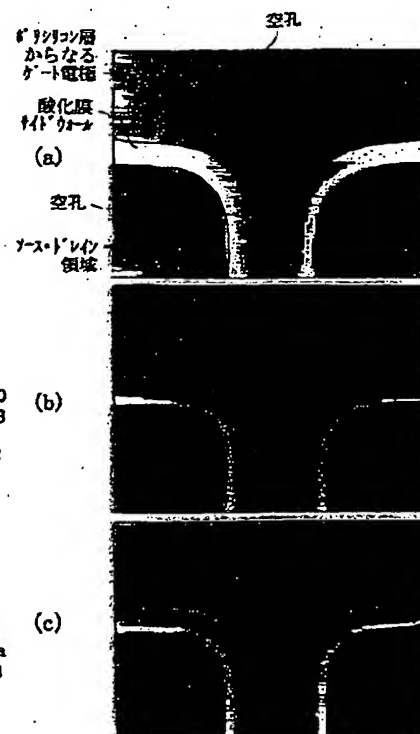
【图3】



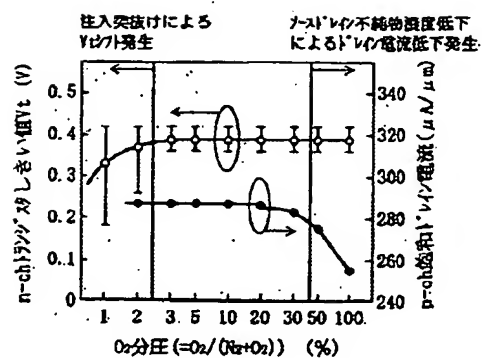
【图·2】



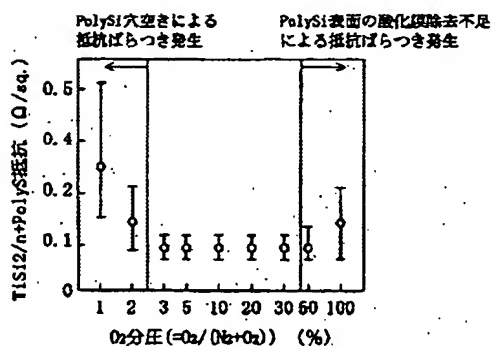
【图 5】



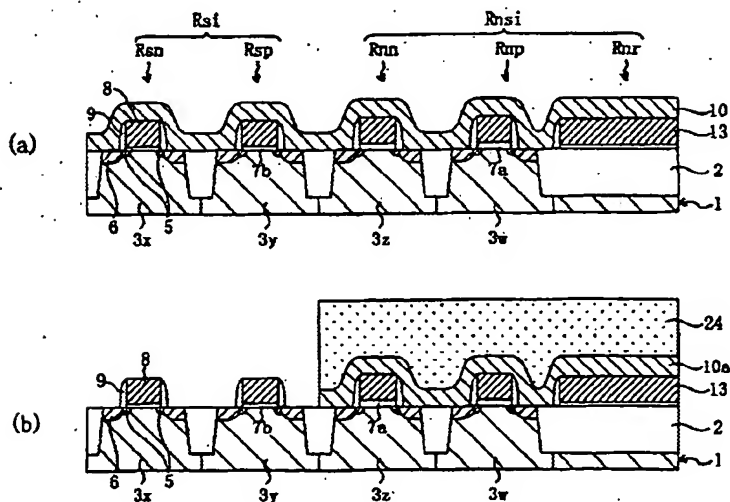
【图6】



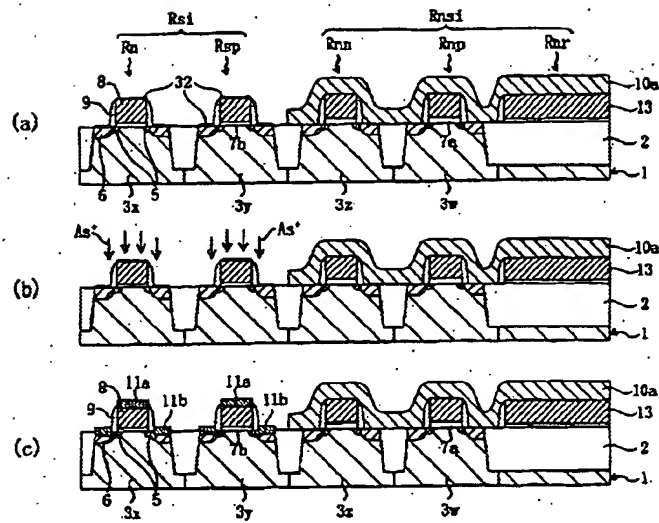
【图7】



【图8】



【図9】



フロントページの続き

(51) Int. Cl. ⁷

H01L 27/04
21/822
27/088
29/78
21/336

識別記号

FI

H01L 27/08.
29/78

テーマコード (参考)

102C
301P
301K